



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :  
Toru MORI et al. :  
Serial No.: 10/648,784 : Group Art Unit: 2811  
Filed: August 27, 2003 : Attorney Docket No. OKI.570  
For: LSI DEVICE AND MANUFACTURING METHOD OF THE ABOVE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date  
under the International Convention of the following Japanese application:

Appln. No. 2002-256510 filed September 9, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: November 25, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 2日

出 願 番 号

Application Number:

特願2002-256510

[ ST.10/C ]:

[ JP 2002-256510 ]

出 願 人

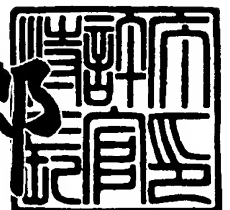
Applicant(s):

沖電気工業株式会社

2003年 1月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3105325

【書類名】 特許願

【整理番号】 MA001397

【提出日】 平成14年 9月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786  
H01L 21/336  
H01L 27/088

【発明者】

    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

    【氏名】 森 徹

【発明者】

    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

    【氏名】 沖原 将生

【発明者】

    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

    【氏名】 竹廣 忍

【特許出願人】

    【識別番号】 000000295

    【氏名又は名称】 沖電気工業株式会社

    【代表者】 篠塚 勝正

【代理人】

    【識別番号】 100083840

    【弁理士】

    【氏名又は名称】 前田 実

【選任した代理人】

    【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 L S I デバイスとその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の駆動電圧が供給されるコア領域と前記第 1 の駆動電圧より高い第 2 の駆動電圧が供給されるインターフェース領域とを有する L S I デバイスであって、

S O I 基板と、

前記 S O I 基板の S O I 層を前記コア領域と前記インターフェース領域とに分離する素子分離領域とを有し、

前記コア領域の S O I 層の厚さを前記インターフェース領域の S O I 層の厚さより薄くし、

前記コア領域に形成され、前記コア領域の S O I 層を完全空乏型 S i チャンネルとした複数の第 1 の M O S F E T と、

前記インターフェース領域に形成され、前記インターフェース領域の S O I 層を完全空乏型 S i チャンネルとした複数の第 2 の M O S F E T とを有する

ことを特徴とする L S I デバイス。

【請求項 2】 前記コア領域に形成された前記第 1 の M O S F E T のチャンネル長を前記インターフェース領域に形成された前記第 2 の M O S F E T のチャンネル長より短くしたことを特徴とする請求項 1 に記載の L S I デバイス。

【請求項 3】 前記コア領域の S O I 層の厚さを 3 0 n m 以下としたことを特徴とする請求項 1 又は 2 のいずれかに記載の L S I デバイス。

【請求項 4】 第 1 の駆動電圧が供給されるコア領域と前記第 1 の駆動電圧より高い第 2 の駆動電圧が供給されるインターフェース領域とを有する L S I デバイスの製造方法であって、

S O I 基板の S O I 層を、前記コア領域となる第 1 の S O I 層と前記インターフェース領域となる第 2 の S O I 層とに分離する素子分離領域を形成する工程と、

前記第 1 の S O I 層及び前記第 2 の S O I 層の表面近傍を均一に酸化することによって、前記コア領域及び前記インターフェース領域となる範囲に第 2 の酸化

膜を形成する工程と、

CMP法により前記素子分離領域の上部及び前記第2の酸化膜を除去して、前記第1のSOI層、前記第2のSOI層、及び前記阻止分離領域の表面を平坦化する工程と、

前記第1のSOI層の表面近傍の領域を選択的に酸化することによって、第1の酸化膜を形成する工程と、

前記第1の酸化膜を除去することによって、前記第1のSOI層を前記第2のSOI層より薄くする工程と、

前記コア領域に前記第1のSOI層を完全空乏型Siチャネルとした複数の第1のMOSFETを形成し、前記インターフェース領域に前記第2のSOI層を完全空乏型Siチャネルとした複数の第2のMOSFETを形成する工程と

を有することを特徴とするLSIデバイスの製造方法。

【請求項5】 前記コア領域に形成された前記第1のMOSFETのチャネル長を前記インターフェース領域に形成された前記第2のMOSFETのチャネル長より短くしたことを特徴とする請求項4に記載のLSIデバイスの製造方法。

【請求項6】 前記第1のSOI層の厚さを30nm以下としたことを特徴とする請求項4又は5のいずれかに記載のLSIデバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、完全空乏型SOI（FDSOI：Fully Depleted Silicon On Insulator）MOS電界効果トランジスタ（MOSFET）を備えたLSIデバイス及びその製造方法に関する。

【0002】

【従来の技術】

従来から、PチャネルMOSFETを設ける第1の半導体活性層の膜厚をNMOSFETを設ける第2の半導体活性層の膜厚より薄くした半導体装置の提案がある（特許文献1参照）。また、LSIデバイスの低消費電力化と動作の高速化

を実現するために、LSIデバイスを構成するMOSFETをFDSOI-MOSFETとする提案がある（特許文献2参照）。FDSOI-MOSFETは、理論的限界に近いサブスレシヨルド特性を実現でき、バルクCMOSデバイスと比較して約1桁サブスレシヨルドリーク電流の低減が可能である。また、FDSOI-MOSFETは、部分空乏型（PD:Partly Depleted）SOI-MOSFETと異なってインパクトイオン化によるキンク現象が発生せず、PDSOI-MOSFETに比べて遅延時間の周波数特性、パスゲートリーク等の動的基板浮遊効果に対しする安定性が優れている。

【0003】

【特許文献1】

特開平1-122154号公報（第2ページ右下欄、第1図）

【特許文献2】

特開平6-291265号公報（段落0049、図15）

【0004】

以上のようにFDSOI-MOSFETは低消費電力化と動作の高速化を同時に実現できる反面、短チャネル効果が顕著であるという欠点を持つ。短チャネル効果を抑制するためには、SOI層を薄膜化することが効果的であるが、SOI層を薄膜化するとMOSFETの閾値電圧が低下し、動作が不安定になる。このため、チャネル領域に高濃度のチャネル不純物を注入することで閾値電圧を調整する必要がある。

【0005】

【発明が解決しようとする課題】

しかしながら、チャネル長が長いMOSFETではチャネル不純物の上昇によりPD化が起こり易くなる。MOSFETがPD化するとキンク現象が発生し、MOSFETの動作の線形性が失われ、回路動作が不安定になるので、LSI設計が極めて困難になる。

【0006】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、低消費電力化、動作の高速化、及び回路動

作の安定化を実現できる L S I デバイス及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】

本発明に係る L S I デバイスは、第 1 の駆動電圧が供給されるコア領域と前記第 1 の駆動電圧より高い第 2 の駆動電圧が供給されるインターフェース領域とを有する L S I デバイスである。この L S I デバイスは、S O I 基板と、前記 S O I 基板の S O I 層をコア領域とインターフェース領域とに分離する素子分離領域とを有し、前記コア領域の S O I 層の厚さを前記インターフェース領域の S O I 層の厚さより薄くしている。また、この L S I デバイスは、前記コア領域に形成され、前記コア領域の S O I 層を完全空乏型 S i チャンネルとした複数の第 1 の M O S F E T と、前記インターフェース領域に形成され、前記インターフェース領域の S O I 層を完全空乏型 S i チャンネルとした複数の第 2 の M O S F E T とを有する。

【0008】

本発明に係る L S I デバイスの製造方法は、第 1 の駆動電圧が供給されるコア領域と前記第 1 の駆動電圧より高い第 2 の駆動電圧が供給されるインターフェース領域とを有する L S I デバイスの製造方法である。この製造方法は、S O I 基板の S O I 層を、前記コア領域となる第 1 の S O I 層と前記インターフェース領域となる第 2 の S O I 層とに分離する素子分離領域を形成する工程と、前記第 1 の S O I 層及び前記第 2 の S O I 層の表面近傍を均一に酸化することによって、前記コア領域及び前記インターフェース領域となる範囲に第 2 の酸化膜を形成する工程と、CMP 法により前記素子分離領域の上部及び前記第 2 の酸化膜を除去して、前記第 1 の S O I 層、前記第 2 の S O I 層、及び前記阻止分離領域の表面を平坦化する工程と、前記第 1 の S O I 層の表面近傍の領域を選択的に酸化することによって、第 1 の酸化膜を形成する工程と、前記第 1 の酸化膜を除去することによって、前記第 1 の S O I 層を前記第 2 の S O I 層より薄くする工程と、前記コア領域に前記第 1 の S O I 層を完全空乏型 S i チャンネルとした複数の第 1 の M O S F E T を形成し、前記インターフェース領域に前記第 2 の S O I 層を完全空



乏型Siチャネルとした複数の第2のMOSFETを形成する工程とを有する。

【0009】

【発明の実施の形態】

#### 第1の実施形態

図1から図11までは、本発明の第1の実施形態に係るLSIデバイスの製造プロセス（その1～11）を説明するための概略的な断面図である。

【0010】

第1の実施形態に係るLSIデバイスは、低電圧で高速動作が要求される高速演算部（コア領域）1と、コア領域1以外の領域であり電源電圧が高いデータ入出力部（インターフェース領域又はI/O領域）2とを有する。第1の実施形態においては、チャネル長（又はゲート長）の長いI/O領域2ではSOI層を厚くし、チャネル長の短いコア領域1では、SOI層を薄く形成する。図12は、第1の実施形態に係るMOSFETデバイスのコア領域14及びI/O領域15のそれぞれの電力供給配線の構造を概略的に示す平面図である。図12に示されるように、コア領域1にはグランド配線GNDとコア電源配線1aが備えられている。また、I/O領域2にはグランド配線GNDとI/O電源配線2aが備えられている。コア領域1には、コア電源端子（又はコア電源回路）1b及びコア電源配線1aによりコア駆動電圧 $V_{CORE}$ が供給される。また、I/O領域2には、I/O電源端子（又はI/O電源回路）2b及びI/O電源配線2aによりI/O駆動電圧 $V_{I/O}$ が供給される。第1の実施形態においては、コア駆動電圧 $V_{CORE}$ はI/O駆動電圧 $V_{I/O}$ より低く設定されている。例えば、コア駆動電圧 $V_{CORE}$ は1.5Vであり、I/O駆動電圧 $V_{I/O}$ は3.3V（又は2.5V）である。

【0011】

第1の実施形態に係るLSIデバイスは、Si基板12、埋め込み酸化膜（BOX膜）13、及びSOI層（シリコン層）14からなるSOI基板（SOIウェハ）11に形成される。

【0012】

第1の実施形態に係るLSIデバイスの製造に際しては、先ず、図1から図4

までに示されるように、SOI層14の表面近傍を選択的に酸化することによって、酸化膜16aを形成する。酸化膜16aの形成プロセスは、例えば、SOI層14上の全域に酸化阻止マスクとしての窒化膜15をCVD (Chemical Vapor Deposition) 法等により成膜し(図1)、ホトリソグラフィ及びエッチングにより窒化膜15の一部(コア領域1となる範囲)を除去し(図2)、窒化膜15が除去されて露出したSOI層14の表面近傍を酸化(例えば、「熱酸化」である。以下同じ。)して酸化膜16aを形成し(図3)、窒化膜15を除去する(図4)プロセスからなる。

## 【0013】

次に、図5から図8までに示されるように、SOI層14の表面近傍を選択的に酸化することによって、I/O領域2に酸化膜16bを形成する。酸化膜16bの厚さは、コア領域1の酸化膜16aの厚さより薄くする。酸化膜16bの形成プロセスは、例えば、SOI層14上の全域に酸化阻止マスクとしての窒化膜17をCVD法等により成膜し(図5)、ホトリソグラフィ及びエッチングにより窒化膜17の一部(I/O領域2となる範囲)を除去し(図6)、窒化膜17が除去されて露出したSOI層14の表面近傍を酸化して酸化膜16bを形成し(図7)、窒化膜17を除去する(図8)プロセスからなる。なお、酸化膜16aと酸化膜16bの形成順序は、上記した順序と逆であってもよい。

## 【0014】

次に、図9に示されるように、酸化膜16a及び16bをウェットエッチング等により除去し、コア領域1に薄いSOI層14aを、I/O領域2にSOI層14aより厚いSOI層14bを形成する。薄いSOI層14aの厚さは、例えば、30nm以下(チャネル長が0.1 $\mu$ m程度の場合)である。また、厚いSOI層14bの厚さは、例えば、50nm程度(チャネル長が0.2 $\mu$ m以上の場合)である。ただし、SOI層14a及びSOI層14bの厚さは、上記値に限定されない。

## 【0015】

次に、図10に示されるように、コア領域1とI/O領域2の間に、SOI層14aとSOI層14bとを分離する素子分離領域18を形成する。素子分離領

域 1 8 は、例えば、LOCOS (Local Oxidation of Silicon) 法やシャロー・トレンチ・アイソレーション (STI : Shallow Trench Isolation) 法等により形成される。

#### 【 0 0 1 6 】

次に、通常の MOSFET 形成プロセス (チャネル不純物調整プロセスを含む) により、図 1 1 に示されるように、コア領域 1 に薄い SOI 層 1 4 a を完全空乏型 Si チャンネルとした複数の MOSFET 2 0 (図 1 1 には 1 個の MOSFET 2 0 のみを示す。) を形成し、I/O 領域 2 に厚い SOI 層 1 4 b を完全空乏型 Si チャンネルとした複数の MOSFET 3 0 (図 1 1 には 1 個の MOSFET 3 0 のみを示す。) を形成する。MOSFET 2 0 及び MOSFET 3 0 の形成は、同じプロセスで同時に形成しても、異なるプロセスで順に形成してもよい。

#### 【 0 0 1 7 】

図 1 1 に示されるように、MOSFET 2 0 は、ゲート酸化膜 2 1 と、ゲート電極層 2 2 と、不純物 (例えば、As、B など) 注入により形成されたソース領域 2 3 及びドレイン領域 2 4 と、完全空乏型 Si チャンネル 2 5 (SOI 層 1 4 a) と、側壁絶縁膜 2 6 とを有する。MOSFET 2 0 のチャンネル長は、例えば、 $0.1 \mu\text{m}$  であるが、チャンネル長はこの値に限定されない。また、図 1 1 に示されるように、MOSFET 3 0 は、ゲート酸化膜 3 1 と、ゲート電極層 3 2 と、不純物 (例えば、As、B など) 注入により形成されたソース領域 3 3 及びドレイン領域 3 4 と、完全空乏型 Si チャンネル 3 5 (SOI 層 1 4 b) と、側壁絶縁膜 3 6 とを有する。MOSFET 3 0 のチャンネル長は、例えば、 $0.2 \mu\text{m}$  以上であるが、チャンネル長はこの値に限定されない。

#### 【 0 0 1 8 】

以上に説明したように、第 1 の実施形態に係る LSI デバイスによれば、コア領域 1 の MOSFET 2 0 のチャンネル長を短くしているので、低消費電力化及び動作の高速化を実現できる。また、チャンネル長が短いコア領域 1 では MOSFET 2 0 の Si チャンネル 2 5 となる SOI 層 1 4 a の膜厚を薄くしているので、チャネル不純物の調整により短チャンネル効果を抑制することができ、コア領域 1 における回路動作の安定化を実現できる。さらに、チャンネル長が長い MOSFET

30が形成されるI/O領域2ではMOSFET30のSiチャネル35となるSOI層14bの膜厚を厚くしているので、チャネル不純物の上昇を抑えることができる。このため、MOSFET30のPD化を回避でき、I/O領域2における回路動作の安定化を実現できる。

## 【0019】

また、第1の実施形態に係るLSIデバイスの製造方法によれば、SOI層14a及び14bの膜厚を酸化膜形成工程における酸化量（酸化膜16a及び16bの厚さ）によって所望の値に制御できるので、製造されるLSIデバイスのMOSFETのSiチャネルの膜厚を、チャネル長や駆動電源の電圧に応じて自由に設定できる。このため、LSIデバイスの各領域に要求される特性に応じたSiチャネルの膜厚を形成でき、例えば、チャネル長の長い高電圧のかかるI/O領域等の耐圧を保つように製造することができる。

## 【0020】

## 第2の実施形態

図13から図20までは、本発明の第2の実施形態に係るLSIデバイスの製造プロセス（その1～8）を説明するための概略的な断面図である。

## 【0021】

第2の実施形態に係るLSIデバイスは、低電圧で高速動作が要求される高速演算部（コア領域）1と、コア領域1以外の領域であり電源電圧が高いデータ入出力部（インターフェース領域又はI/O領域）2とを有する。第2の実施形態においては、チャネル長（又はゲート長）の長いI/O領域2ではSOI層を厚く、チャネル長の短いコア領域1では、SOI層を薄く形成する。第2の実施形態に係るMOSFETデバイスのコア領域1及びI/O領域2のそれぞれの電力供給配線の構造は、上記した第1の実施形態のものと同様である。

## 【0022】

第2の実施形態に係るLSIデバイスは、Si基板42、埋め込み酸化膜（BOX膜）43、及びSOI層（シリコン層）44からなるSOI基板（SOIウェハ）41に形成される。

## 【0023】

第2の実施形態に係るLSIデバイスの製造に際しては、先ず、図13に示されるように、SOI基板41のSOI層44の表面近傍を均一に酸化することによって、コア領域1及びI/O領域2となる範囲に酸化膜46bを形成する。

【0024】

次に、図14から図17までに示されるように、SOI層44の表面近傍を選択的に酸化することによって、コア領域1となる範囲の酸化膜の厚さを増加させ、酸化膜46bより膜厚の厚い酸化膜46aを形成する。酸化膜46aの形成プロセスは、例えば、SOI層44の酸化膜46b上の全域に酸化阻止マスクとしての窒化膜45をCVD法等により成膜し（図14）、ホトリソグラフィ及びエッチングにより窒化膜45の一部（コア領域1となる範囲）を除去し（図15）、窒化膜45が除去されて露出したSOI層44の表面近傍を酸化して酸化膜46bの厚さを増加させた酸化膜46aを形成し（図16）、窒化膜45を除去する（図17）プロセスからなる。

【0025】

次に、図18に示されるように、酸化膜46a及び46bをウェットエッチング等により除去し、コア領域1に薄いSOI層44aを、I/O領域2にSOI層44aより厚いSOI層44bを形成する。薄いSOI層44aの厚さは、例えば、30nm以下（チャネル長が0.1 $\mu$ m程度の場合）である。また、厚いSOI層44bの厚さは、例えば、50nm程度（チャネル長が0.2 $\mu$ m以上の場合）である。ただし、SOI層44a及びSOI層44bの厚さは、上記値に限定されない。

【0026】

次に、図19に示されるように、コア領域1とI/O領域2の間に、SOI層44aとSOI層44bとを分離する素子分離領域48を形成する。素子分離領域48は、例えば、LOCOS法やSTI法等により形成される。

【0027】

次に、図20に示されるように、コア領域1に薄いSOI層44aを完全空乏型Siチャネルとした複数のMOSFET20（図20には1個のMOSFET20のみを示す。）を形成し、I/O領域2に厚いSOI層44bを完全空乏型

Siチャネルとした複数のMOSFET30（図20には1個のMOSFET30のみを示す。）を形成する。MOSFET20及びMOSFET30の形成は、同じプロセスで同時に形成しても、異なるプロセスで順に形成してもよい。MOSFET20及び30の構造は第1の実施形態のものと同一である

## 【0028】

以上に説明したように、第2の実施形態に係るLSIデバイスによれば、コア領域1のMOSFET20のチャネル長を短くしているので、低消費電力化及び動作の高速化を実現できる。また、チャネル長が短いコア領域1ではMOSFET20のSiチャネル25となるSOI層44aの膜厚を薄くしているので、チャネル不純物の調整により短チャネル効果を抑制することができ、コア領域1における回路動作の安定化を実現できる。さらに、チャネル長が長いMOSFET30が形成されるI/O領域2ではMOSFET30のSiチャネル35となるSOI層44bの膜厚を厚くしているので、チャネル不純物の上昇を抑えることができる。このため、MOSFET30のPD化を回避でき、I/O領域2における回路動作の安定化を実現できる。

## 【0029】

また、第2の実施形態に係るLSIデバイスの製造方法によれば、SOI層44a及び44bの膜厚を酸化膜形成工程における酸化量（酸化膜46a及び46bの厚さ）によって所望の値に制御できるので、製造されるLSIデバイスのMOSFETのSiチャネルの膜厚を、チャネル長や駆動電源の電圧に応じて自由に設定できる。このため、LSIデバイスの各領域に要求される特性に応じたSiチャネルの膜厚を形成でき、例えば、チャネル長の長い高電圧のかかるI/O領域等の耐圧を保つように製造することができる。

## 【0030】

また、第2の実施形態に係るLSIデバイスの製造方法によれば、窒化膜形成工程が1回（図14の窒化膜45のみ）で済むので、第1の実施形態の製造方法よりも製造プロセスを簡略化できる。

## 【0031】

第3の実施形態

図 2 1 から図 2 9 までは、本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス（その 1 ～ 9）を説明するための概略的な断面図である。

## 【 0 0 3 2 】

第 3 の実施形態に係る L S I デバイスは、低電圧で高速動作が要求される高速演算部（コア領域） 1 と、コア領域 1 以外の領域であり電源電圧が高いデータ入出力部（インターフェース領域又は I / O 領域） 2 とを有する。第 3 の実施形態においては、チャンネル長（又はゲート長）の長い I / O 領域 2 では S O I 層 5 4 b を厚く、チャンネル長の短いコア領域 1 では S O I 層 5 4 c（5 4 a）を薄く形成する。第 3 の実施形態に係る M O S F E T デバイスのコア領域 1 及び I / O 領域 2 のそれぞれの電力供給配線の構造は、上記した第 1 の実施形態のものと同様である。

## 【 0 0 3 3 】

第 3 の実施形態に係る L S I デバイスは、S i 基板 5 2、埋め込み酸化膜（B O X 膜） 5 3、及び S O I 層（シリコン層） 5 4 からなる S O I 基板（S O I ウェハ） 5 1 に形成される。

## 【 0 0 3 4 】

第 3 の実施形態に係る L S I デバイスの製造に際しては、先ず、図 2 1 に示されるように、S O I 基板 5 1 の S O I 層 5 4 を、コア領域 1 となる S O I 層 5 4 a と I / O 領域 2 となる S O I 層 5 4 b とに分離する素子分離領域 5 8 を形成する。素子分離領域 5 8 は、例えば、L O C O S 法や S T I 法等により形成される。

## 【 0 0 3 5 】

次に、図 2 2 に示されるように、S O I 層 5 4 a 及び S O I 層 5 4 b の表面近傍を均一に酸化することによって、コア領域 1 及び I / O 領域 2 となる範囲に酸化膜 5 6 a 及び 5 6 b を形成する。

## 【 0 0 3 6 】

次に、図 2 3 に示されるように、化学的機械研磨（C M P : Chemical Mechanical Polish）法により素子分離領域 5 8 の上部及び酸化膜 5 6 a 及び 5 6 b を除去して、S O I 層 5 4 a、S O I 層 5 4 b、及び阻止分離領域 5 8 の上部を平坦

化する。

【0037】

次に、図24から図27までに示されるように、SOI層54aの表面近傍を酸化することによって、コア領域1となる範囲に酸化膜56cを形成する。酸化膜56cの形成プロセスは、例えば、SOI層54a、素子分離領域58、及びSOI層54b上の全域に酸化阻止マスクとしての窒化膜55をCVD法等により成膜し（図24）、ホトリソグラフィ及びエッチングにより窒化膜55の一部（コア領域1となる範囲）を除去し（図25）、窒化膜55が除去されて露出したSOI層54aの表面近傍を酸化して酸化膜56cを形成し（図26）、窒化膜55を除去する（図27）プロセスからなる。

【0038】

次に、図28に示されるように、酸化膜56cをウェットエッチング等により除去し、コア領域1に薄いSOI層54c（SOI層54aの一部）を形成する。この時点で、I/O領域2には、SOI層54cより厚いSOI層54bが形成されている。薄いSOI層54cの厚さは、例えば、30nm以下（チャネル長が0.1 $\mu$ m程度の場合）である。また、厚いSOI層54bの厚さは、例えば、50nm程度（チャネル長が0.2 $\mu$ m以上の場合）である。ただし、SOI層54c及びSOI層54bの厚さは、上記値に限定されない。

【0039】

次に、図29に示されるように、コア領域1に薄いSOI層54cを完全空乏型Siチャネルとした複数のMOSFET20（図29には1個のMOSFET20のみを示す。）を形成し、I/O領域2に厚いSOI層54bを完全空乏型Siチャネルとした複数のMOSFET30（図29には1個のMOSFET30のみを示す。）を形成する。MOSFET20及びMOSFET30の形成は、同じプロセスで同時に形成しても、異なるプロセスで順に形成してもよい。MOSFET20及び30の構造は第1の実施形態のものと同一である。

【0040】

以上に説明したように、第3の実施形態に係るLSIデバイスによれば、コア領域1のMOSFET20のチャネル長を短くしているため、低消費電力化及び



動作の高速化を実現できる。また、チャンネル長が短いコア領域 1 では MOSFET 20 の Si チャンネル 25 となる SOI 層 54 c の膜厚を薄くしているので、チャンネル不純物の調整により短チャンネル効果を抑制することができ、コア領域 1 における回路動作の安定化を実現できる。さらに、チャンネル長が長い MOSFET 30 が形成される I/O 領域 2 では MOSFET 30 の Si チャンネル 35 となる SOI 層 54 b の膜厚を厚くしているので、チャンネル不純物の上昇を抑えることができる。このため、MOSFET 30 の PD 化を回避でき、I/O 領域 2 における回路動作の安定化を実現できる。

## 【0041】

また、第 3 の実施形態に係る LSI デバイスの製造方法によれば、SOI 層 54 c 及び 54 b の膜厚を酸化膜形成工程における酸化量（酸化膜 56 a、56 b、及び 56 c の厚さ）によって所望の値に制御できるので、製造される LSI デバイスの MOSFET の Si チャンネルの膜厚を、チャンネル長や駆動電源の電圧に応じて自由に設定できる。このため、LSI デバイスの各領域に要求される特性に応じた Si チャンネルの膜厚を形成でき、例えば、チャンネル長の長い高電圧のかかる I/O 領域等の耐圧を保つように製造することができる。

## 【0042】

また、第 3 の実施形態に係る LSI デバイスの製造方法によれば、LOCOS 法により素子分離領域 58 を形成した後に CMP 法による研磨工程を設けたので、バースピークを除去することができる。また、LOCOS 法により形成された素子分離領域 58 により SOI 層に応力がかかり NMOS の特性劣化が起こる場合があるが、CMP 法による研磨工程を設けたので、SOI 層に生じる応力を緩和することができる。

## 【0043】

## 【発明の効果】

以上に説明したように、本発明の LSI デバイスによれば、コア領域の MOSFET のチャンネル長を短くすることによって、低消費電力化及び動作の高速化を実現できる。

## 【0044】

また、本発明の L S I デバイスによれば、コア領域では M O S F E T の S i チャンネルとなる S O I 層の膜厚を薄くして短チャンネル効果を抑制し、I / O 領域では M O S F E T の S i チャンネルとなる S O I 層の膜厚を厚くして M O S F E T の P D 化を回避しているので、L S I デバイスの回路動作の安定化を実現できる。

【 0 0 4 5 】

また、本発明の L S I デバイスの製造方法によれば、S O I 層の膜厚を酸化膜形成工程における酸化量によって所望の値に制御できるので、製造される L S I デバイスの M O S F E T の S i チャンネルの膜厚を、チャンネル長や駆動電源の電圧に応じて自由に設定できる。このため、L S I デバイスの各領域に要求される特性に応じた S i チャンネルの膜厚を形成できる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 1）を説明するための概略的な断面図である。

【図 2】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 2）を説明するための概略的な断面図である。

【図 3】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 3）を説明するための概略的な断面図である。

【図 4】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 4）を説明するための概略的な断面図である。

【図 5】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 5）を説明するための概略的な断面図である。

【図 6】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 6）を説明するための概略的な断面図である。

【図 7】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 7）を説明するための概略的な断面図である。

【図 8】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 8）を説明するための概略的な断面図である。

【図 9】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 9）を説明するための概略的な断面図である。

【図 1 0】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 1 0）を説明するための概略的な断面図である。

【図 1 1】 本発明の第 1 の実施形態に係る L S I デバイスの製造プロセス（その 1 1）を説明するための概略的な断面図である。

【図 1 2】 本発明の第 1 の実施形態に係る L S I デバイスのコア領域及び I / O 領域のそれぞれの電力供給配線の構造を概略的に示す平面図である。

【図 1 3】 本発明の第 2 の実施形態に係る L S I デバイスの製造プロセス（その 1）を説明するための概略的な断面図である。

【図 1 4】 本発明の第 2 の実施形態に係る L S I デバイスの製造プロセス（その 2）を説明するための概略的な断面図である。

【図 1 5】 本発明の第 2 の実施形態に係る L S I デバイスの製造プロセス（その 3）を説明するための概略的な断面図である。

【図 1 6】 本発明の第 2 の実施形態に係る L S I デバイスの製造プロセス（その 4）を説明するための概略的な断面図である。

【図 1 7】 本発明の第 2 の実施形態に係る L S I デバイスの製造プロセス（その 5）を説明するための概略的な断面図である。

【図 1 8】 本発明の第 2 の実施形態に係る L S I デバイスの製造プロセス（その 6）を説明するための概略的な断面図である。

【図 1 9】 本発明の第 2 の実施形態に係る L S I デバイスの製造プロセス（その 7）を説明するための概略的な断面図である。

【図 2 0】 本発明の第 2 の実施形態に係る L S I デバイスの製造プロセス（その 8）を説明するための概略的な断面図である。

【図 2 1】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス（その 1）を説明するための概略的な断面図である。

【図 2 2】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス（その 2）を説明するための概略的な断面図である。

【図 2 3】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス（その 3）を説明するための概略的な断面図である。

【図 2 4】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス

(その４)を説明するための概略的な断面図である。

【図 2 5】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス  
(その 5)を説明するための概略的な断面図である。

【図 2 6】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス  
(その 6)を説明するための概略的な断面図である。

【図 2 7】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス  
(その 7)を説明するための概略的な断面図である。

【図 2 8】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス  
(その 8)を説明するための概略的な断面図である。

【図 2 9】 本発明の第 3 の実施形態に係る L S I デバイスの製造プロセス  
(その 9)を説明するための概略的な断面図である。

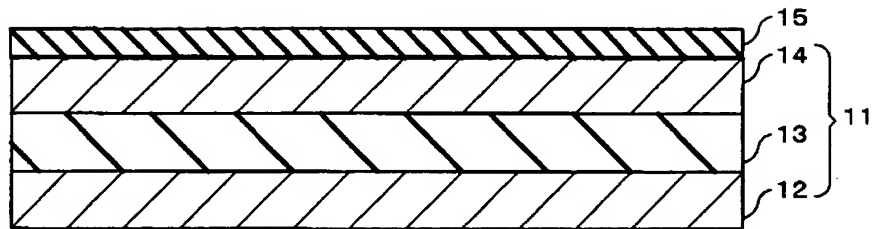
【符号の説明】

- 1 コア領域、
- 2 I/O領域、
- 1 a コア電源配線、
- 1 b コア電源端子(又はコア電源回路)、
- 2 a I/O電源配線、
- 2 b I/O電源端子(又はI/O電源回路)、
- GND グランド配線、
- 1 1, 4 1, 5 1 SOI基板(SOIウェハ)、
- 1 2, 4 2, 5 2 Si基板、
- 1 3, 4 3, 5 3 埋め込み酸化膜(BOX膜)、
- 1 4, 4 4, 5 4 SOI層、
- 1 4 a, 4 4 a, 5 4 a, 5 4 c コア領域のSOI層、
- 1 4 b, 4 4 b, 5 4 b I/O領域のSOI層、
- 1 5, 1 7, 4 5, 4 7, 5 5, 5 7 窒化膜、
- 1 6 a, 1 6 b, 4 6 a, 4 6 b, 5 6 a, 5 6 b 酸化膜、
- 1 8, 4 8, 5 8 素子分離領域、
- 2 0, 3 0 MOSFET、

- 2 1, 3 1 ゲート酸化膜、
- 2 2, 3 2 ゲート電極層、
- 2 3, 3 3 ソース領域、
- 2 4, 3 4 ドレイン領域、
- 2 5, 3 5 S i チャンネル、
- 2 6, 3 6 側壁絶縁膜。

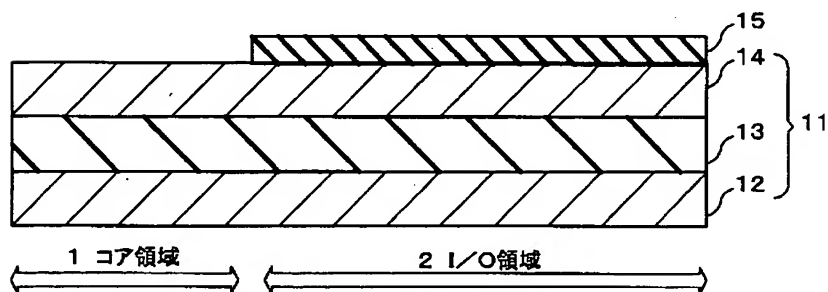
【書類名】 図面

【図1】



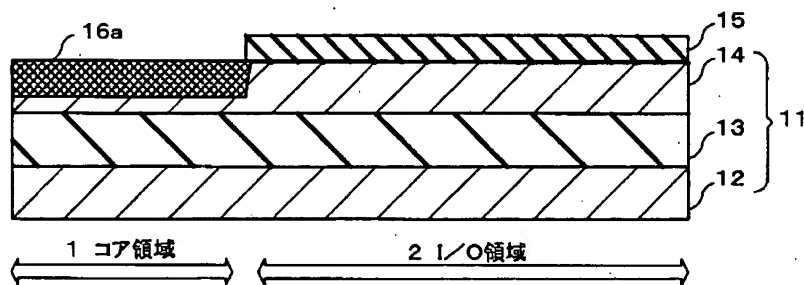
第1の実施形態の製造プロセス(その1)

【図2】



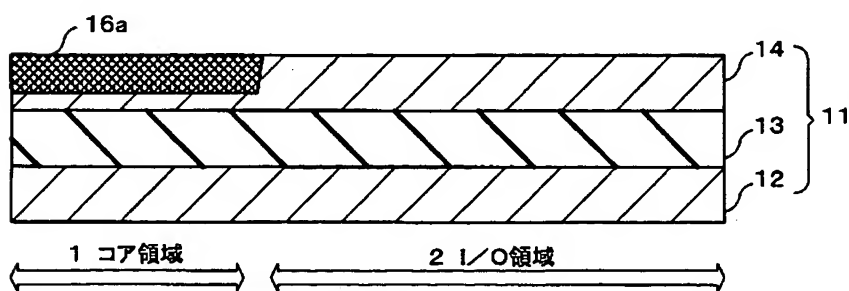
第1の実施形態の製造プロセス(その2)

【図3】



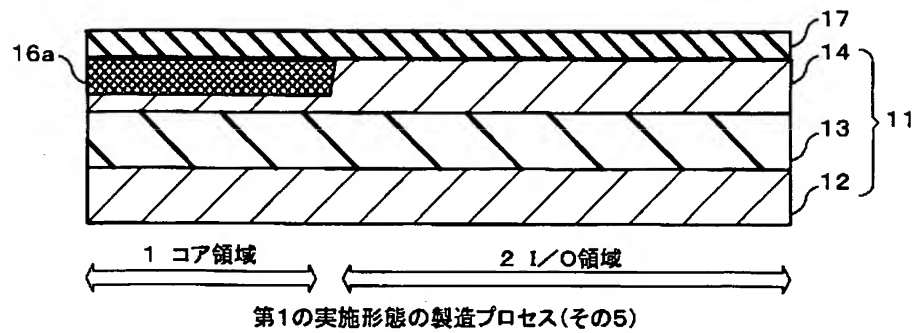
第1の実施形態の製造プロセス(その3)

【図4】

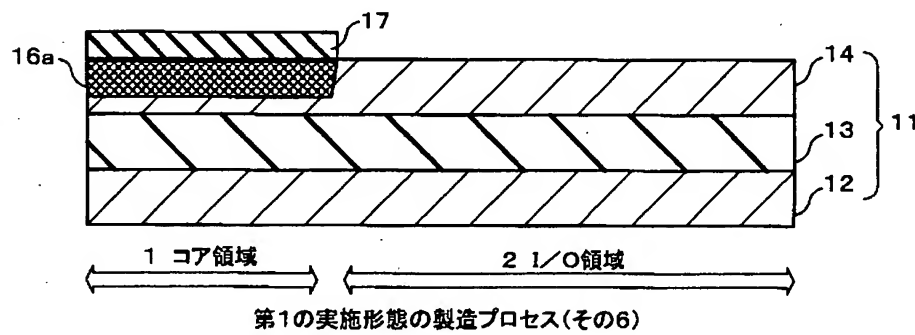


第1の実施形態の製造プロセス(その4)

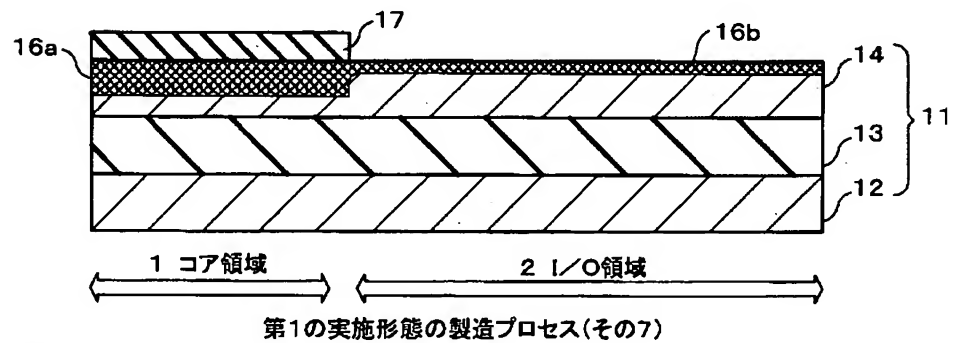
【図 5】



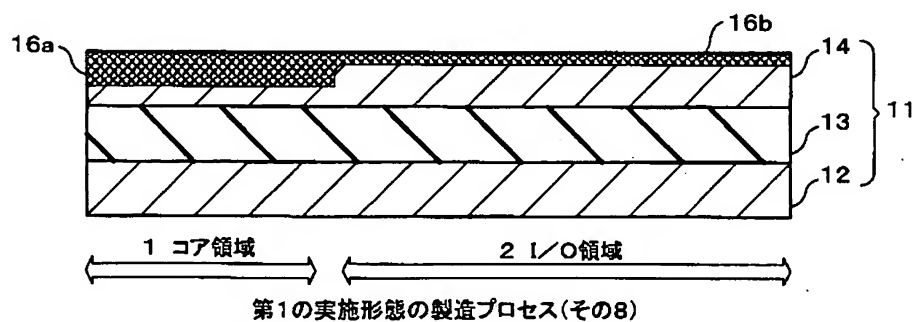
【図 6】



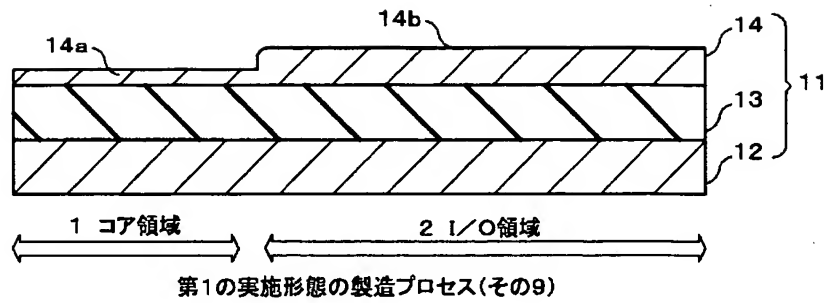
【図 7】



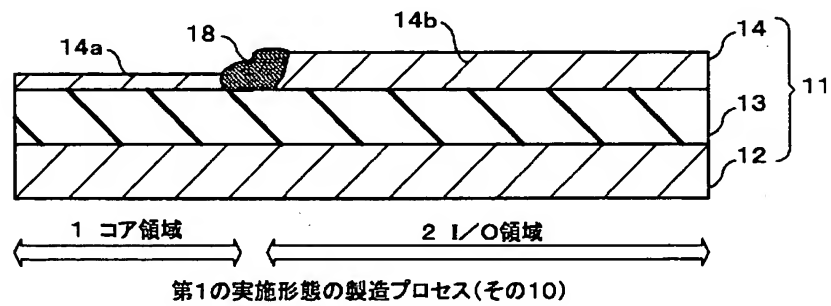
【図 8】



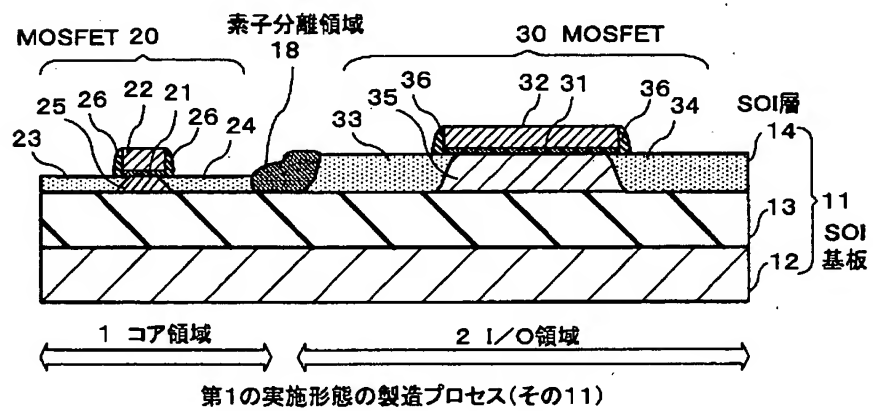
【図 9】



【図 10】

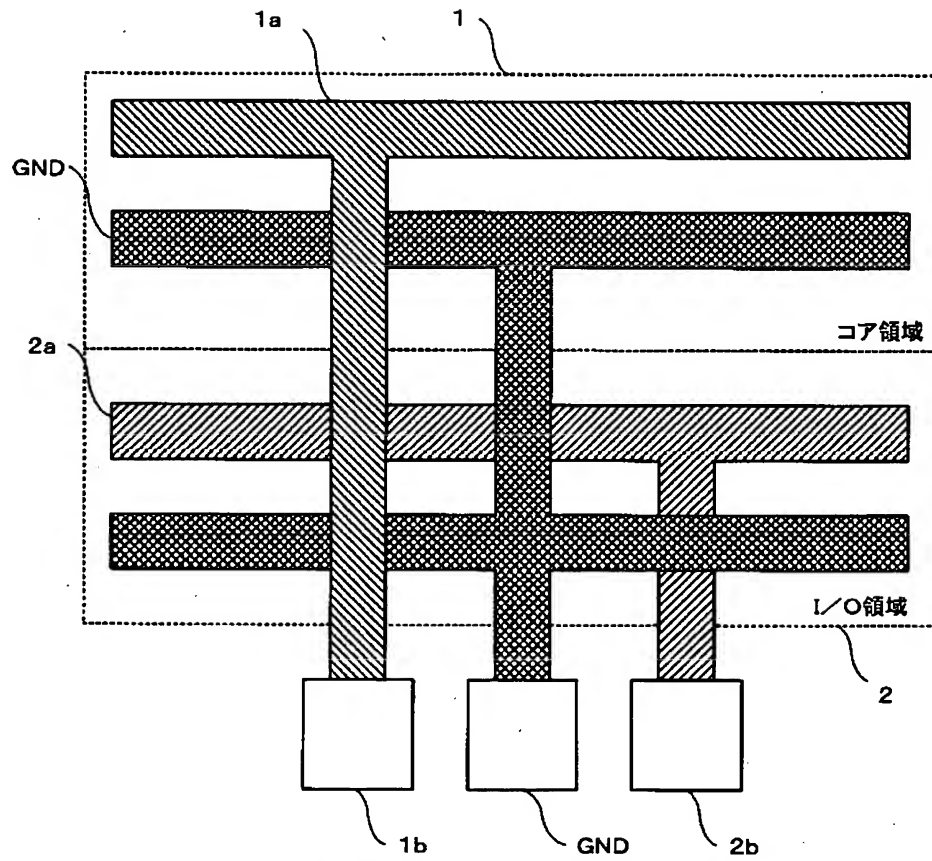


【図 11】



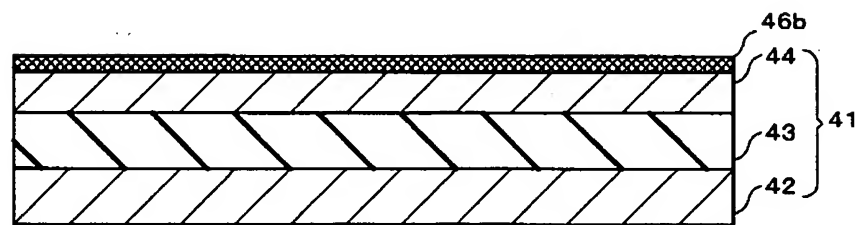


【図12】



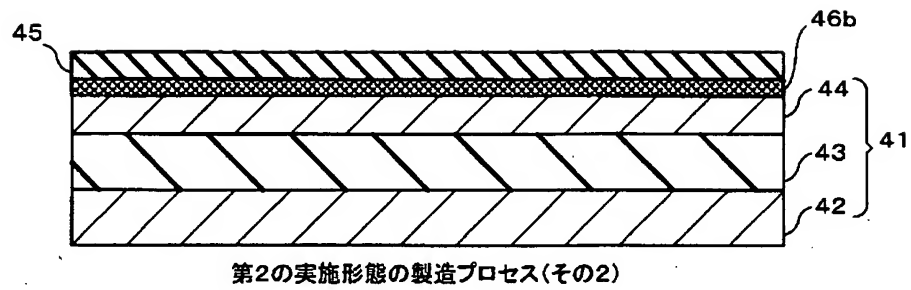
第1の実施形態のLSIデバイスにおける電力供給配線の構造

【図13】

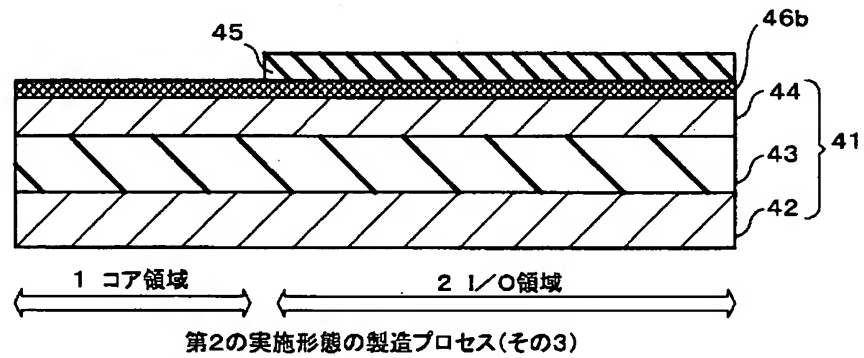


第2の実施形態の製造プロセス(その1)

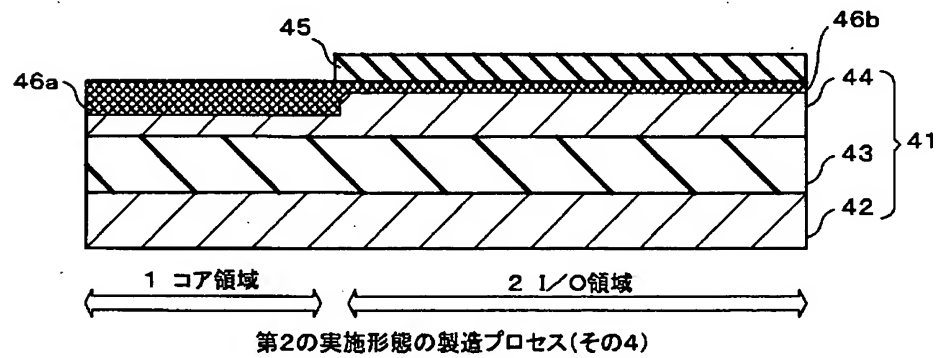
【図 1 4】



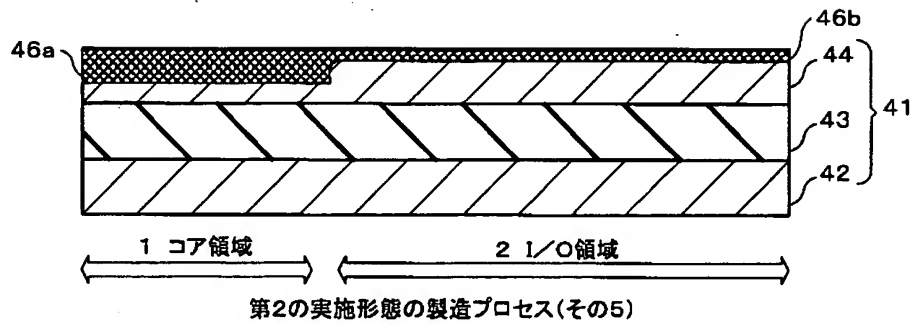
【図 1 5】



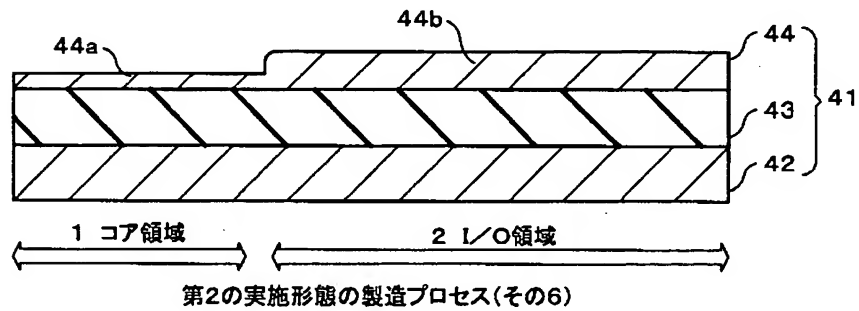
【図 1 6】



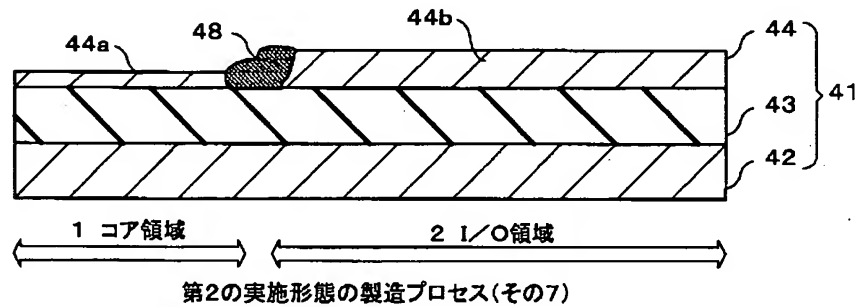
【図 1 7】



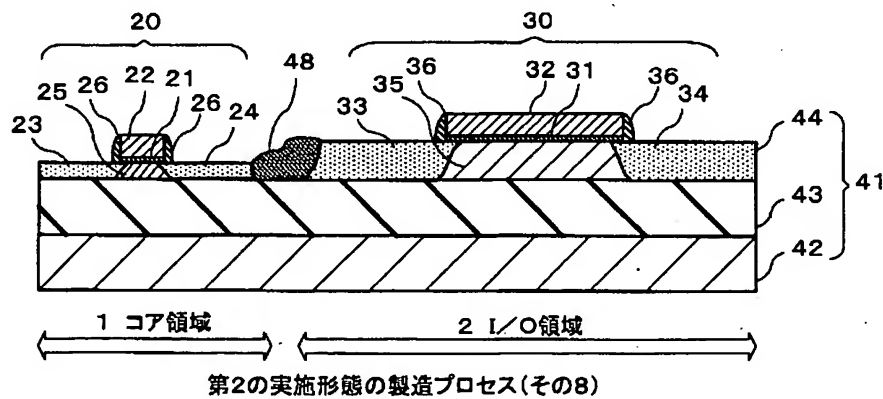
【図 1 8】



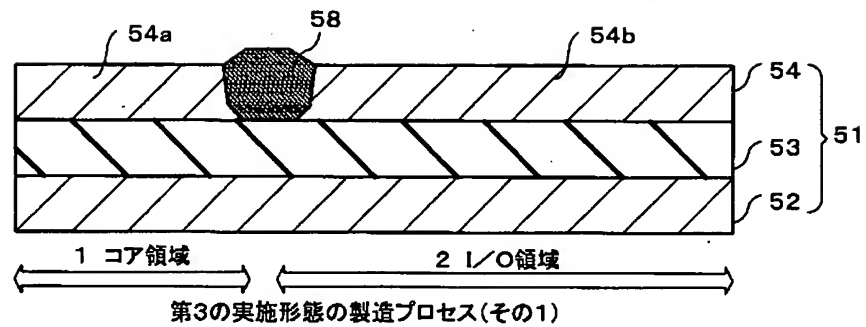
【図 1 9】



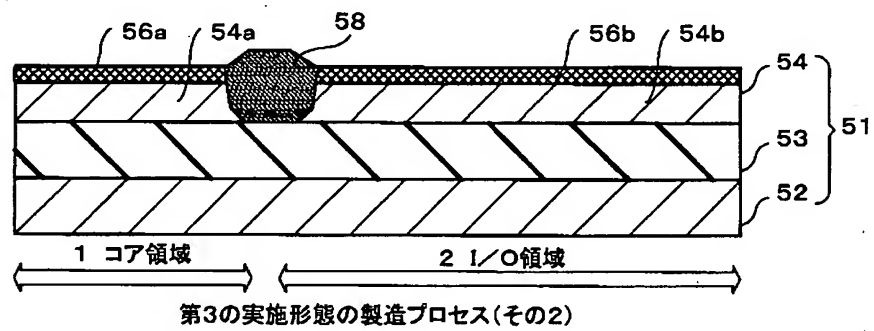
【図 2 0】



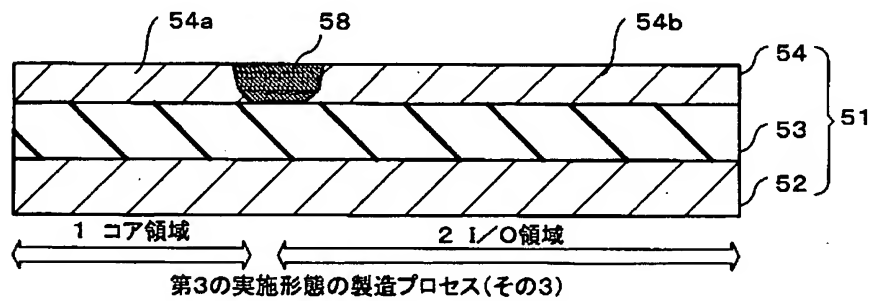
【図 2 1】



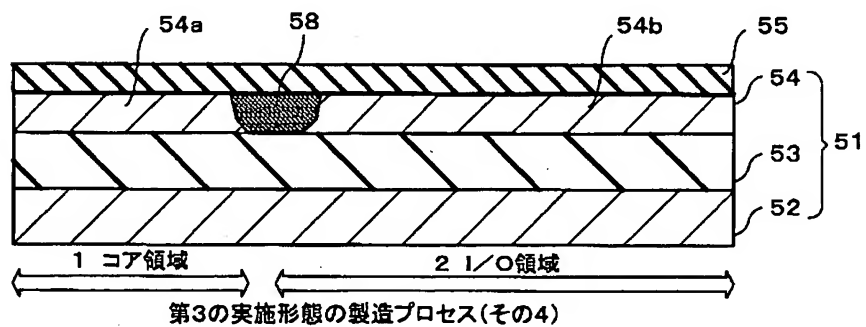
【図 2 2】



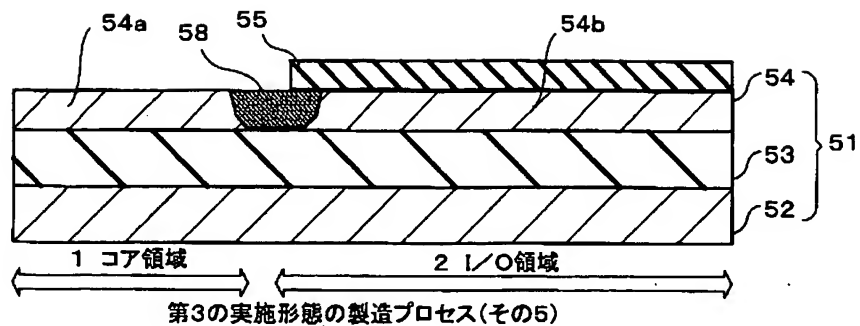
【図 2 3】



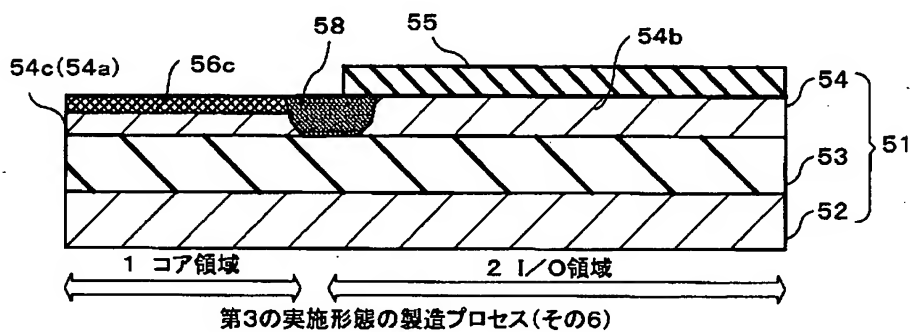
【図 2 4】



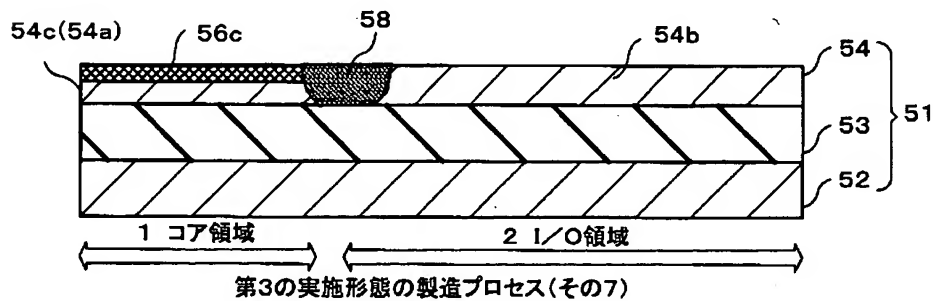
【図 25】



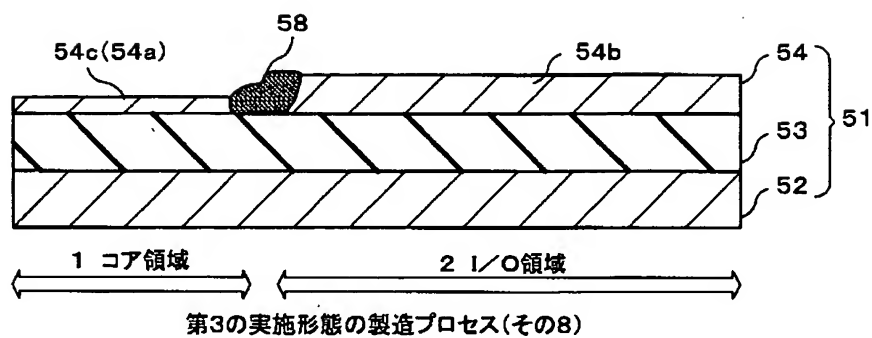
【図 26】



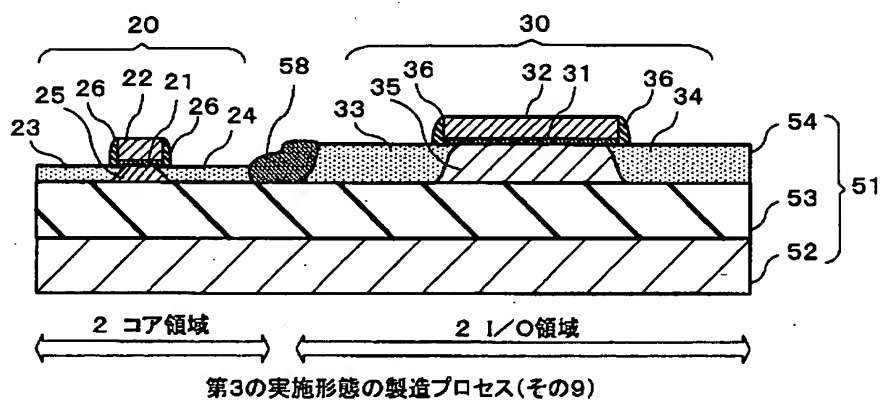
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 コア領域のMOSFETのSOI層を薄くし、I/O領域のSOI層を厚く形成することによって、低消費電力化、動作の高速化、及び回路動作の安定化を実現できるLSIデバイス及びその製造方法を提供する。

【解決手段】 LSIデバイスは、SOI基板11と、SOI基板11のSOI層14をコア領域1とI/O領域2とに分離する素子分離領域18とを有し、コア領域1のSOI層14aの厚さをI/O領域2のSOI層14bの厚さより薄くしている。また、LSIデバイスは、コア領域1に形成され、コア領域1のSOI層14aを完全空乏型Siチャネルとした複数のMOSFET20と、I/O領域2に形成され、I/O領域2のSOI層14bを完全空乏型Siチャネルとした複数のMOSFET30とを備えている。

【選択図】 図11

特2002-256510

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社